

MANUFACTURING METHOD FOR THIN FILM SEMICONDUCTOR DEVICE

Publication number: JP8186268 (A)

Publication date: 1996-07-16

Inventor(s): INO MASUMITSU

Applicant(s): SONY CORP

Classification:

- international: G02F1/136; G02F1/1368; H01L21/02; H01L21/20; H01L21/268; H01L21/336; H01L27/12; H01L29/786; G02F1/13; H01L21/02; H01L27/12; H01L29/66; (IPC1-7): H01L29/786; G02F1/136; H01L21/20; H01L21/268; H01L21/336; H01L27/12

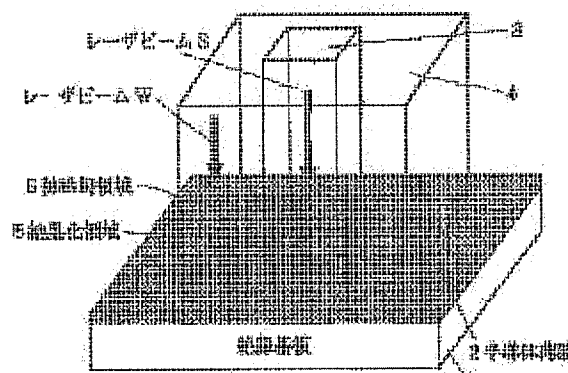
- European:

Application number: JP19940339320 19941228

Priority number(s): JP19940339320 19941228

Abstract of JP 8186268 (A)

PURPOSE: To suppress dispersion in thickness of a semiconductor thin film which is crystallized by laser beam irradiation. **CONSTITUTION:** For manufacturing a thin film semiconductor device, firstly, a semiconductor thin film 2 is formed on an insulation substrate by performing film formation process. Next, the semiconductor thin film 2 is irradiated with laser beams by the irradiation process, for crystallization. At the last working process, a thin film transistor is formed by integration with the semiconductor thin film 2 as an element area. In the irradiating process, the first laser beam S whose strength is relatively high and a cross section 3 is small and the second laser beam W whose strength is relatively low and a cross section 4 is large, are poured onto the semiconductor thin film 2 at the same time in a state superposed each other. Thus a distribution difference of heat between a crystallized area 5 and a thermal excitation area 6 enclosing it is smaller, and, while transiting from a molten state to a solidified state, membrane stress can be suppressed to the minimum. Therefore dispersion in thickness after laser irradiation is smaller.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-186268

(43) 公開日 平成8年(1996)7月16日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
21/336				
G 0 2 F 1/136	5 0 0			
H 0 1 L 21/20				
			H 0 1 L 29/ 78	6 2 7 G
			審査請求 未請求	請求項の数 7 F D (全 9 頁) 最終頁に続く

(21) 出願番号 特願平6-339320

(22) 出願日 平成6年(1994)12月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 猪野 益充

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

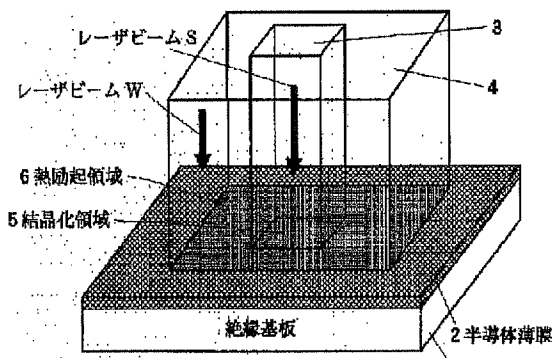
(74) 代理人 弁理士 鈴木 晴敏

(54) 【発明の名称】 薄膜半導体装置の製造方法

(57) 【要約】

【目的】 レーザビーム照射により結晶化される半導体薄膜の厚みバラツキを抑制する。

【構成】 薄膜半導体装置を製造する為、先ず成膜工程を行ない絶縁基板1上に半導体薄膜2を形成する。次に照射工程を行ない、半導体薄膜2にレーザビームを照射して結晶化を図る。最後に加工工程を行ない、半導体薄膜2を素子領域として薄膜トランジスタを集積形成する。照射工程では、比較的強度が大きく断面積3が小さい第1のレーザビームSと、比較的強度が小さく断面積4が大きい第2のレーザビームWとを互いに重ねた状態で同時に半導体薄膜2に照射する。これにより、結晶化領域5とこれを囲む熱励起領域6との間で熱の分布差が小さくなり、熔融状態から固化状態に移移する時膜応力を最小に抑える事が可能になる。この為、レーザ照射後の膜厚のバラツキが小さくなる。



【特許請求の範囲】

【請求項 1】 絶縁基板上に半導体薄膜を形成する成膜工程と、該半導体薄膜にレーザビームを照射して結晶化を行なう照射工程と、該半導体薄膜を素子領域として薄膜トランジスタを集積形成する加工工程とを含む薄膜半導体装置の製造方法であって、前記照射工程は比較的強度が大きく断面積が小さい第 1 のレーザビームと、比較的強度が小さく断面積が大きい第 2 のレーザビームとを互いに重ねた状態で同時に該半導体薄膜に照射する事を特徴とする薄膜半導体装置の製造方法。

【請求項 2】 前記照射工程は、第 1 及び第 2 のレーザビームの強度と断面積を適当に設定して照射を行ない結晶化した半導体薄膜の膜厚のバラツキを平均膜厚の±10%以内に制御する事を特徴とする請求項 1 記載の薄膜半導体装置の製造方法。

【請求項 3】 前記加工工程は、該半導体薄膜を素子領域としてチャネル層と拡散層とを備えた電界効果型の薄膜トランジスタを形成する際、チャネル層と拡散層とで層厚の差を相対的に 10%以内に収める事を特徴とする請求項 2 記載の薄膜半導体装置の製造方法。

【請求項 4】 絶縁基板上に成膜した半導体薄膜にレーザビームを照射して熱処理を行なうレーザ照射装置であって、比較的強度が大きく断面積が小さい第 1 のレーザビームを生成する第 1 光源部と、比較的強度が小さく断面積が大きい第 2 のレーザビームを生成する第 2 光源部と、第 1 及び第 2 のレーザビームを互いに重ねた状態で同時に該半導体薄膜に照射する制御部とを有する事を特徴とするレーザ照射装置。

【請求項 5】 前記制御部は第 2 のレーザビームの照射領域を固定する一方、該照射領域内で第 1 のレーザビームの照射領域を移動する事を特徴とする請求項 4 記載のレーザ照射装置。

【請求項 6】 前記制御部は第 1 のレーザビームを囲む様に第 2 のレーザビームを照射し、且つ両レーザビームを一体的に移動走査する事を特徴とする請求項 4 記載のレーザ照射装置。

【請求項 7】 絶縁基板上に半導体薄膜を形成する成膜工程と、比較的強度が大きく断面積が小さい第 1 のレーザビームと比較的強度が小さく断面積が大きい第 2 のレーザビームとを互いに重ねた状態で同時に該半導体薄膜に照射しその結晶化を行なう照射工程と、該半導体薄膜に薄膜トランジスタを集積形成してスイッチング素子のアレイとこれを駆動する周辺駆動回路を設ける第 1 加工工程と、個々のスイッチング素子に接続して画素電極を集積形成する第 2 加工工程と、予め対向電極が形成された対向基板を該絶縁基板に接合

し両者の間に液晶を封入する組立工程とを行なう液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は薄膜半導体装置の製造方法に関する。より詳しくは、レーザビームの照射により半導体薄膜を結晶化する技術に関する。

【0002】

【従来の技術】高解像度ディスプレイとして、スイッチング素子に多結晶シリコン薄膜トランジスタを用いた大型で高精細な液晶表示装置が有望視されている。多結晶シリコン薄膜トランジスタを用いて大型高精細の液晶表示装置を量産する為には、低価格のガラス基板を採用できる低温プロセスの確立が必須である。低温プロセスの手法として従来から大きく期待されてきたのは、レーザビームを非晶質シリコン等の半導体薄膜に照射して、低融点ガラス基板上に高品質の多結晶シリコンを形成する技術である。図 10 に、このレーザビーム照射を利用した薄膜半導体装置の製造方法を示す。先ず、透明な絶縁基板 101 上に半導体薄膜 102 を形成する。この半導体薄膜 102 にレーザビームを照射して結晶化を図る。この例では、所定の区画 104 内でレーザビーム 103 をステップ状に照射している。この時、各照射領域 105 は部分的に重なっている。この後、結晶化した半導体薄膜 102 を素子領域として薄膜トランジスタを集積形成する。

【0003】

【発明が解決しようとする課題】ガラス等からなる透明絶縁基板 101 は一般に 550℃以下の耐熱性しかなく、CVD 法等を用いて半導体薄膜 102 を成膜した場合、十分大きな結晶粒径を得る事はできない。この為、低温で非晶質シリコン又は多結晶シリコン等の半導体薄膜 102 を成膜した後、レーザビームを照射し局部的に熱励起してシリコンの結晶粒径を大きくする。これにより、低温プロセスであっても、半導体薄膜の移動度が高くなる為、薄膜トランジスタを集積形成して高速駆動可能な回路を組み込む事ができる様になる。しかしながら、レーザビームの照射による結晶化は、熱エネルギーを加えて行なうので照射領域内で不均一な熱分布を生じさせる。この為、半導体薄膜の中で局所的な膜応力が発生する。結果として、レーザビーム照射後の溶融状態から固化状態に変化する過程で、膜厚のバラツキが発生してしまう。この状態を図 11 に示す。結晶化後における半導体薄膜の膜厚バラツキが増大する為、薄膜トランジスタの特性にも変動が生じる。特に、膜厚のバラツキは、薄膜トランジスタの電流駆動能力に対して大きな影響を与えている。

【0004】従来から種々のレーザビーム照射方式が提案されている。例えば、特開昭 60-245124 号公報に開示された薄膜半導体装置の製造方法では、波長 1

50nm～350nmのレーザビームパルスで200～500mJ/cm²のエネルギー密度で照射し、半導体薄膜の結晶化を図っている。しかしながらこの従来例では基板上に非結晶化領域と結晶化領域が混在しており両者に対して薄膜トランジスタを集積形成している。これでは、薄膜トランジスタの電気特性に非結晶化領域と結晶化領域とで相違が生じ制御性が損なわれる。特に、結晶化後における半導体薄膜の膜厚バラツキについて何等対策が施されていない。この為、膜厚の不均一性に起因したトランジスタ特性のバラツキが発生する。特に、薄膜半導体装置として重要な高速駆動回路を集積形成する場合、電流特性のバラツキは致命傷になりかねない。又、特開平5-66422号公報に開示された液晶表示装置の製造方法では、水平走査回路及び垂直走査回路等の高速駆動回路を形成する領域に、各々ワンショットずつレーザビームパルスを照射して半導体薄膜の結晶化を行なっている。この場合、結晶化された領域を連続させる必要があり、レーザ照射領域のつなぎ目で結晶粒径がばらつく。具体的には、熱分布の違いにより膜厚のバラツキが生じ易い。その結果、薄膜トランジスタの電流駆動能力が局所的にばらついてしまう。

【0005】

【課題を解決するための手段】上述した従来の技術の課題に鑑み、以下の手段を講じた。即ち、本発明にかかる薄膜半導体装置の製造方法は基本的に、絶縁基板上に半導体薄膜を形成する成膜工程と、該半導体薄膜にレーザビームを照射して結晶化を行なう照射工程と、該半導体薄膜を素子領域として薄膜トランジスタを集積形成する加工工程とを含む。特徴事項として、前記照射工程は比較的強度が大きく断面積が小さい第1のレーザビームと、比較的強度が小さく断面積が大きい第2のレーザビームとを互いに重ねた状態で同時に該半導体薄膜に照射する。この照射工程では、第1及び第2のレーザビームの強度と断面積を適当に設定して照射を行ない、結晶化した半導体薄膜の膜厚のバラツキを平均膜厚の±10%以内に制御している。又、前記加工工程では、該半導体薄膜を素子領域としてチャネル層と拡散層とを備えた電界効果型の薄膜トランジスタを形成する。この際、チャネル層と拡散層とで膜厚の差を相対的に10%以内に収める。

【0006】本発明は、上述した薄膜半導体装置製造方法に使用可能なレーザ照射装置を包含している。即ち、本発明にかかるレーザ照射装置は基本的に、絶縁基板上に成膜した半導体薄膜にレーザビームを照射して熱処理を行なう。特徴事項として、比較的強度が大きく断面積が小さい第1のレーザビームを生成する第1光源部と、比較的強度が小さく断面積が大きい第2のレーザビームを生成する第2光源部と、第1及び第2のレーザビームを互いに重ねた状態で同時に該半導体薄膜に照射する制御部とを有する。一態様では、前記制御部は第2のレー

ザビームの照射領域を固定する一方、該照射領域内で第1のレーザビームの照射領域を移動する。他の態様では、前記制御部は第1のレーザビームを囲む様に第2のレーザビームを照射し、且つ両レーザビームを一体的に移動走査する。

【0007】本発明は、さらに液晶表示装置の製造方法を包含している。本製造方法によれば、液晶表示装置は以下の工程により製造される。先ず、成膜工程を行ない絶縁基板上に半導体薄膜を形成する。次に照射工程を行ない比較的強度が大きく断面積が小さい第1のレーザビームと比較的強度が小さく断面積が大きい第2のレーザビームとを互いに重ねた状態で同時に該半導体薄膜に照射しその結晶化を行なう。続いて第1加工工程を行ない該半導体薄膜に薄膜トランジスタを集積形成してスイッチング素子のアレイとこれを駆動する周辺駆動回路を設ける。さらに第2加工工程を行ない個々のスイッチング素子に接続して画素電極を集積形成する。最後に組立工程を行ない予め対向電極が形成された対向基板を該絶縁基板に接合し両者の間隙に液晶を封入する。

【0008】

【作用】本発明によれば、比較的強度が大きく断面積が小さい第1のレーザビームと、比較的強度が小さく断面積が大きい第2のレーザビームとを互いに重ねた状態で同時に半導体薄膜に照射する。これにより、レーザビーム照射時の熱分布を最小に抑える事を特徴としている。第1のレーザビームは実際に半導体薄膜を結晶化させる領域に照射し、第2のレーザビームはそれを囲む領域に照射する。結晶化領域に照射する第1のレーザビームのエネルギー密度は熔融閾値以上に設定し、それを囲む領域を照射する第2のレーザビームはそのエネルギー密度を熔融閾値以下に設定する。これにより、結晶化領域と非結晶化領域の間での熱の分布差を小さくする。熱の分布に差がなくなるという事は、熔融状態から固化状態に遷移する時、膜応力を最小に抑える事ができるという事である。これにより、レーザビーム照射で結晶化した半導体薄膜のバラツキが小さくなる。

【0009】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる薄膜半導体装置製造方法の第1実施例を示す模式的な斜視図である。薄膜半導体装置を製造する場合、先ず成膜工程を行ないガラス等からなる絶縁基板1上に半導体薄膜2を成膜する。この半導体薄膜2は非晶質シリコン又は比較的小さな粒径を有する多結晶シリコンからなり、例えばCVD法により成膜される。次に照射工程を行ない半導体薄膜2にレーザビームを照射して結晶化を図る。レーザビームとしては例えばエキシマレーザを用いる事ができる。エキシマレーザは強力なパルス紫外光である為、シリコン等からなる半導体薄膜2の表面層で吸収され、その部分の温度を上昇させるが、絶縁基板1まで加熱する事は

ない。この後、図示しないが加工工程を行ない半導体薄膜2を素子領域として薄膜トランジスタを集積形成する。特徴事項として、照射工程では第1のレーザビームSと第2のレーザビームWとを互いに重ねた状態で同時に半導体薄膜2に照射する。レーザビームS (Strong, Sharp) は比較的強度 (エネルギー密度) が大きく小さな断面積3を有する。これに対しレーザビームW (Weak, Wide) は比較的強度 (エネルギー密度) が小さく大きな断面積4を有する。レーザビームSの照射領域は結晶化領域5となり、レーザビームWの照射領域はこの結晶化領域5を囲んで熱冷気領域6となる。結晶化領域5に照射されるレーザビームSのエネルギー密度は溶融閾値 (例えば $250\text{mJ}/\text{cm}^2$) 以上に設定され、これを囲む熱励起領域6に照射されるレーザビームWは上記溶融閾値以下のエネルギー密度を有する。これにより、結晶化領域5と熱励起領域6の間での熱の分布差を小さくしている。熱の分布に差がなくなる事で、溶融状態から固化状態に移移する時膜応力を最小に抑える事ができる。これにより、レーザビーム照射時の膜厚のバラツキが小さくなる。本発明では、レーザビームS及びレーザビームWの強度と断面積を適当に設定して照射を行ない、結晶化した半導体薄膜2の膜厚のバラツキを平均膜厚の $\pm 10\%$ 以内に制御している。又、この後行なう加工工程では、半導体薄膜2を素子領域としてチャネル層と拡散層とを備えた電界効果型の薄膜トランジスタを形成する。この際、チャネル層と拡散層とで膜厚の差を相対的に 10% 以内に収めている。

【0010】図2は、本発明にかかる薄膜半導体装置製造方法の第2実施例を示す模式的な斜視図である。基本的には図1に示した第1実施例と同様であり、対応する部分には対応する参照番号を付して理解を容易にしている。異なる点は、レーザビームWの照射領域 (熱励起領域6) を固定する一方、レーザビームSの照射領域 (結晶化領域5) を2次元的にステップ状で走査している事である。この照射方法によれば、熱励起領域6は最終的に結晶化領域5に転換され、熱分布を均一に保ったまま比較的大面積の区画に渡って半導体薄膜2を均一に結晶化でき、膜厚バラツキが小さくなる。

【0011】図3は、上述したレーザビーム照射方式に好適なレーザ照射装置の具体例を示している。(A)の例では、レーザ照射装置は第1光源部7と第2光源部8とを備えている。第1光源部7は比較的強度が大きく断面積が小さい第1のレーザビームSを生成する一方、第2光源部8は比較的強度が小さく断面積が大きい第2のレーザビームWを生成する。これらの第1光源部7と第2光源部8は例えば光学系を備えたエキシマレーザ等からなる。第1光源部7から放射されたレーザビームSはミラー9及びハーフミラー10を介して絶縁基板1に照射される。この絶縁基板1はチャンバ内でステージ11に搭載されている。一方、第2光源部8から放射したレ

ーザビームWはハーフミラー10を介してレーザビームSと重ね合わされ、同じく絶縁基板1を照射する。より具体的には、絶縁基板1に成膜した半導体薄膜の熱処理を行なう。

【0012】(B)は本レーザ照射装置の他の例を示しており、先の例と対応する部分には対応する参照番号を付して理解を容易にしている。本例では、第1光源部7は直接レーザビームSを基板1に照射している。又、第2光源部8も直接レーザビームWを基板1に照射している。これらの光源部7、8はレーザビームの走査機能を備えており、制御部12により互いに同期的に制御される。制御部12はレーザビームSを囲む様にレーザビームWを照射し、且つ両レーザビームS、Wを一体的に移動走査可能である。場合によっては、制御部12はレーザビームWの照射領域を固定する一方、この照射領域内でレーザビームSの照射領域をステップ状に移動させても良い。勿論、両ビームS、Wを固定してパルス状にワシショット照射しても良い。

【0013】図4は、本発明に従って製造された薄膜半導体装置に集積形成される薄膜トランジスタ (TF T) を表わす模式的な断面図である。本例ではプレーナ型で且つ電界効果型の薄膜トランジスタが形成されている。図示する様に、透明絶縁基板1の上にはTF Tの素子領域を構成する半導体薄膜2が形成されている。この半導体薄膜2は前述したレーザビームS、Wの照射により結晶化したシリコンからなる。なお、半導体薄膜2はレーザビームの照射工程後アイランド状にパタニングされている。半導体薄膜2の上にはゲート絶縁膜15を介してアルミニウムとシリコンの合金等からなるゲート電極Gがパタニング形成されている。このゲート電極Gの両側で半導体薄膜2にはN型の不純物が高濃度に注入されておりTF Tの拡散層 (ソース領域NS及びドレイン領域ND) を構成している。

【0014】両者の間にチャネル層Chが設けられる。かかる構成を有するNチャネル型のTF TはPSG等からなる層間絶縁膜16により被覆されている。その上には金属アルミニウム等からなる配線17がパタニング形成されており、コンタクトホールを介してTF Tの拡散層に導通している。ここで (A) に示したTF Tは拡散層の厚み d_a が比較的大きく、(B) に示したTF Tは拡散層の厚み d_b が比較的小さい。以下、この図4を参照してTF Tの特性に与える半導体薄膜2の厚みの影響を説明する。薄膜トランジスタにおいて、膜厚のバラツキは特に電流駆動能力の変動に反映される。薄膜トランジスタの電流駆動能力は拡散層の抵抗とチャネル層の抵抗に支配されている。拡散抵抗は電界効果型のトランジスタでいうところのドレイン抵抗及びソース抵抗を意味し、電流路に直列に存在する。ここで、半導体薄膜2の膜厚が小さくなると、その電流路の断面積が縮小する為抵抗が増加する。つまり、電流が減少する。この事が

ら、拡散層の膜厚はできるだけ厚い方が好ましく、
(A)に示したTFTが(B)に示したTFTよりも大きな電流駆動能力を備えているといえる。

【0015】次に、図5を参照してチャネル層の抵抗について説明する。(A)に示したTFTはチャネル層Chの厚みdaが比較的大きく、(B)に示したTFTはチャネル領域Chの厚みdbが比較的小さい。電流駆動能力の面からすると、前述した拡散抵抗と異なり、チャネル抵抗については膜厚が薄い方が好ましい。(B)に示す様に、チャネル層Chの厚みが小さい場合、TFTのゲート電極Gに電界をかけた時チャネル層Chに発生する空乏層領域を最小限にできる為、ゲート電界が効率的にチャネル層Chに印加できる。換言すると、(A)の様に空乏層領域に電界が食われる事がない。以上の事から、チャネル層Chの半導体薄膜厚みは薄い方が好ましい。

【0016】しかしながら、現実的にチャネル層と拡散層を各々異なった膜厚で形成する事は困難である。結局、TFTはチャネル層と拡散層の厚みが同じ条件で作成する事になる。ここで、チャネル層及び拡散層共に半導体薄膜2の厚みに支配されている為、当然膜厚の面内バラツキもしくはトランジスタ内部での膜厚バラツキが問題となり、これが薄膜トランジスタの安定的な特性が得られるかどうかを左右している。特に、薄膜トランジスタをアクティブマトリクス型液晶表示装置の周辺駆動回路部として集積形成した場合、ハイビジョンやVGA、XGA等では、制御信号(クロック信号)の周波数は12MHz必要とされており、この場合の周期は83nsecとなる。この周期の半分が矩形波クロック信号のハイレベルとローレベルに使い分けられる為、41.5nsec

が波形のホールド時間となる。そして、立ち上がり時間及び立ち下がり時間は夫々この10分の1を使用するのが、回路上最も安定する為、5nsec程度となる。この5nsec程度のバラツキは通常のパルクシリコンウェハに作成するCMOSトランジスタの立ち上がり時間や立ち下がり時間と同じ値であり、通常制御可能である。しかしながら、レーザビーム照射技術を用いて半導体薄膜の結晶化を行なった場合、従来この範囲に立ち下がり時間や立ち上がり時間のバラツキを収める事は極めて困難であった。そこで、本発明では、レーザビームS、Wの二重照射によりこの点を解決し、TFTの特性バラツキを所望範囲に収めている。

【0017】この点につき、図6のグラフを参照して説明を加える。前述した様に、立ち上がり時間や立ち下がり時間のバラツキはホールド時間41.5nsecに対し5nsec程度が許容されており、±10%以内に収める必要がある。従って、薄膜トランジスタのソース/ドレイン間電流Idsを±10%以内に収める必要がある。そこで図6は、半導体薄膜の膜厚とIdsとの関係を表わしている。カーブNがNチャネル型薄膜トランジスタのIds特性を表わし、カーブPがPチャネル型薄膜トランジスタのIds特性を表わしている。このグラフから明らかな様に、Idsの値を±10%に抑える為には、膜厚をやはり±10%以内に抑える必要がある。本発明によれば、レーザビームSとレーザビームWの二重照射を採用する事により、膜厚のバラツキを±10%以内に抑える事に成功している。これを以下の表1に示しておく。

【表1】

	本発明によるレーザ照射	従来法によるレーザ照射
シリコン膜厚のバラツキ(80nm)	±10%	±30%
NchトランジスタIdsのバラツキ	±10%	±30%

【0018】図7は本発明に従って製造された薄膜半導体装置を駆動基板として組み立てられたアクティブマトリクス型液晶表示装置の一例を表わしている。図示する様に、本表示装置は駆動基板51と対向基板52と両者の間に保持された液晶53とを備えたパネル構造を有する。駆動基板51には画素アレイ部54と周辺駆動回路部とが集積形成されている。周辺駆動回路部は垂直駆動回路55と水平駆動回路56とに別れている。又、駆動基板51の周辺部上端には外部接続用の端子部57が形成されている。端子部57は配線58を介して垂直駆動回路55及び水平駆動回路56に接続している。なお、画素アレイ部54には画素電極59とこれを駆動するス

イッチング素子60とが集積形成されている。かかる構成を有する液晶表示装置は以下の工程により製造される。まず、成膜工程を行ないガラス等の透明絶縁材料からなる駆動基板51の上に半導体薄膜を形成する。次に照射工程を行ない、比較的強度が大きく断面積が小さい第1のレーザビームと比較的強度が小さく断面積が大きい第2のレーザビームとを互いに重ねた状態で同時に半導体薄膜に照射しその結晶化を行なう。次に半導体薄膜に薄膜トランジスタを集積形成してスイッチング素子60のアレイとこれを駆動する周辺駆動回路部(垂直駆動回路55、水平駆動回路56)を設ける。次に個々のスイッチング素子60に接続して画素電極59を集積形成

する。最後に予め対向電極が形成された対向基板 5 2 を駆動基板 5 1 に接合し、両者の間隙に液晶 5 3 を封入する。

【0019】次に、図 8 を参照して図 7 に示した周辺駆動回路部の動作を参考の為簡潔に説明する。図示する様に、水平駆動回路はフリップフロップ 7 1 を多段接続したシフトレジスタ 7 2 を含んでいる。このシフトレジスタ 7 2 はクロック信号 ϕ 及びその逆相信号により制御され、外部入力されたスタートパルス ST を順次転送して選択パルス X をフリップフロップ 7 1 の各段毎に出力する。なお、この選択パルス X はインバータを多段接続したバッファ 7 3 を介して出力される。バッファ 7 3 にはトランсмисシオンゲート素子からなるアナログスイッチ 7 4 が接続されている。アナログスイッチ 7 4 の入力側にはビデオライン 7 5 が接続され、出力側には信号ライン 7 6 が接続されている。この信号ライン 7 6 と交差する様にゲートライン 7 7 が形成されている。信号ライン 7 6 とゲートライン 7 7 の交差部に前述したスイッチング素子 7 8 が形成されている。このスイッチング素子 7 8 は画素電極と対向電極とその間に保持された液晶とからなる微細な液晶セル LC を駆動する。

【0020】図 9 は、図 8 に示した回路の動作説明に供する波形図である。図示する様に、クロック信号 ϕ は矩形波形を有している。一方、選択パルス X はクロック信号 ϕ から所定の伝達遅延時間 Δt の後出力される。これにより、アナログスイッチ 7 4 が開き、ビデオライン 7 5 から画像信号 Y がサンプリングされ、対応するスイッチング素子 7 8 を介して液晶画素 LC に書き込まれる。この時、水平駆動回路を構成する薄膜トランジスタの遅延時間のバラツキが問題となる。アナログスイッチを内蔵する回路は、応答速度のバラツキに対して厳しい事が分っている。通常、アナログスイッチは負荷の充放電として使用されており、この充放電が開始する時間はシフトレジスタ 7 2 のクロック信号 ϕ で制御されている。しかしながら、シフトレジスタ 7 2 からアナログスイッチ 7 4 までには CMOS 構成のインバータがバッファ 7 3 として幾重にも介在しており、インバータ 1 段当たりの遅れが積み重なって、クロック信号 ϕ に対する伝達遅延を生じている。この CMOS からなるインバータの伝達遅延時間 Δt を支配しているのが、N チャネル型及び P チャネル型薄膜トランジスタの電流駆動能力である。つまり、この値がばらつくと当然の事ながら負荷に対する充放電の開始時間も遅れ、結果的に画像信号 Y の誤った表示が行なわれる事になる。この点に鑑み、本発明ではレーザービーム S とレーザービーム W の二重照射方式を採用

して、半導体薄膜の厚みバラツキを抑制し、薄膜トランジスタの電流駆動能力の均一化を図っている。

【0021】

【発明の効果】以上説明した様に、本発明によれば、比較的強度が大きく断面積が小さい第 1 のレーザービームと比較的強度が小さく断面積が大きい第 2 のレーザービームとを互いに重ねた状態で同時に半導体薄膜に照射し、その結晶化を図っている。これにより、結晶化された半導体薄膜の厚みバラツキを小さくできる。この為、薄膜トランジスタの電流駆動能力のバラツキが縮小化され、高速応答の駆動回路を集積形成した場合その安定した性能が確保できる。又、半導体薄膜の均一性が改善されるので、薄膜トランジスタ形成におけるプロセス管理が容易になる。

【図面の簡単な説明】

【図 1】本発明にかかる薄膜半導体装置製造方法の第 1 実施例を示す模式的な斜視図である。

【図 2】本発明にかかる薄膜半導体装置製造方法の第 2 実施例を示す模式的な斜視図である。

【図 3】本発明にかかる薄膜半導体装置製造方法に用いられるレーザービーム照射装置の具体例を示す模式図である。

【図 4】本発明に従って形成された薄膜トランジスタの一例を示す模式的な部分断面図である。

【図 5】同じく薄膜トランジスタの部分断面図である。

【図 6】半導体薄膜の膜厚と薄膜トランジスタの駆動電流との関係を示すグラフである。

【図 7】本発明に従って製造された液晶表示装置の一例を示す模式的な斜視図である。

【図 8】図 7 に示した液晶表示装置に内蔵される周辺駆動回路部の一例を示す回路図である。

【図 9】図 8 に示した周辺駆動回路部の動作説明に供する波形図である。

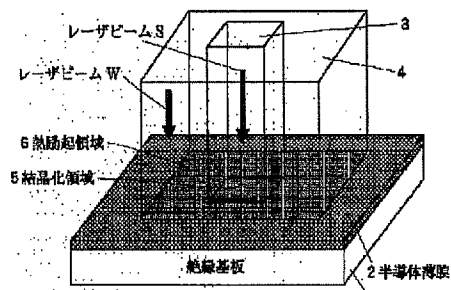
【図 10】従来の薄膜半導体装置製造方法の一例を示す模式的な斜視図である。

【図 11】従来の薄膜半導体装置製造方法の課題説明に供する模式図である。

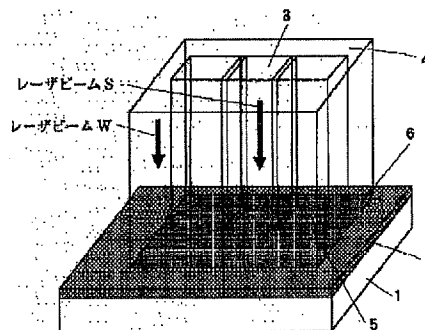
【符号の説明】

- 1 絶縁基板
- 2 半導体薄膜
- 5 結晶化領域
- 6 熱励起領域
- S レーザビーム
- W レーザビーム

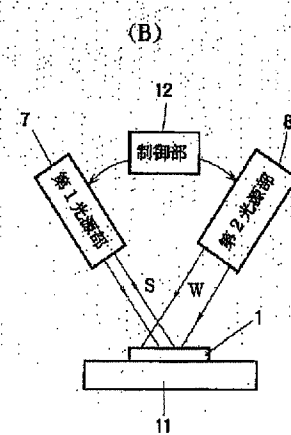
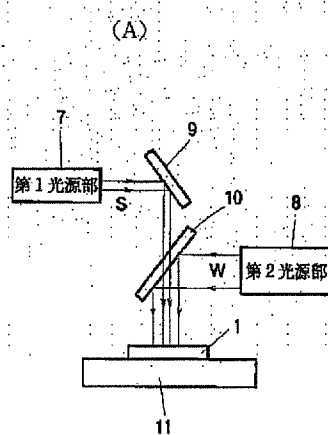
【図 1】



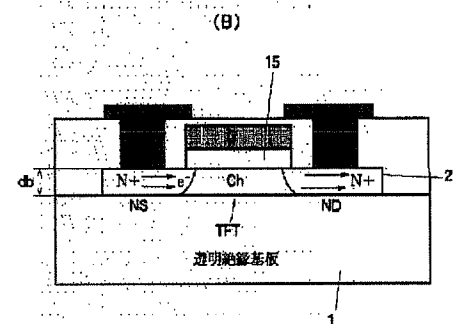
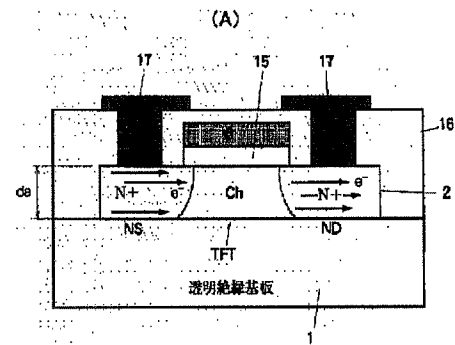
【図 2】



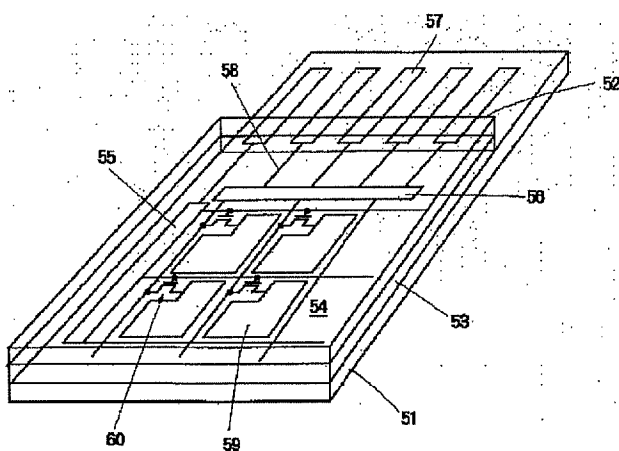
【図 3】



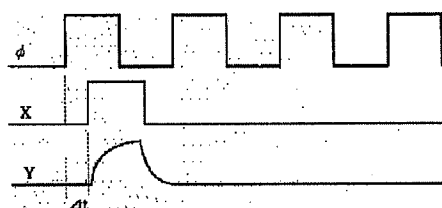
【図 4】



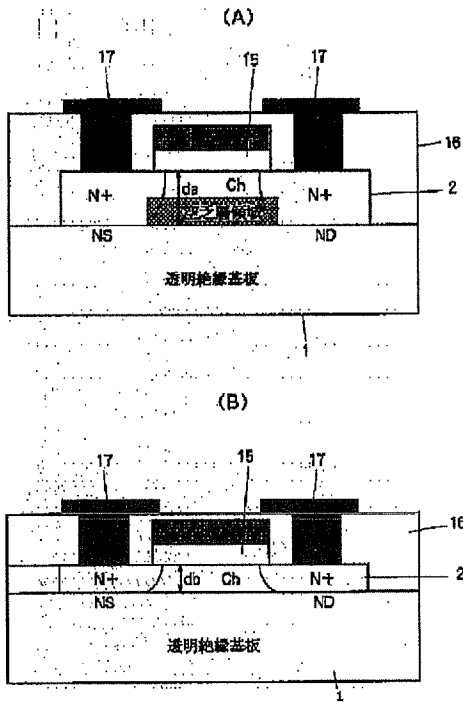
【図 7】



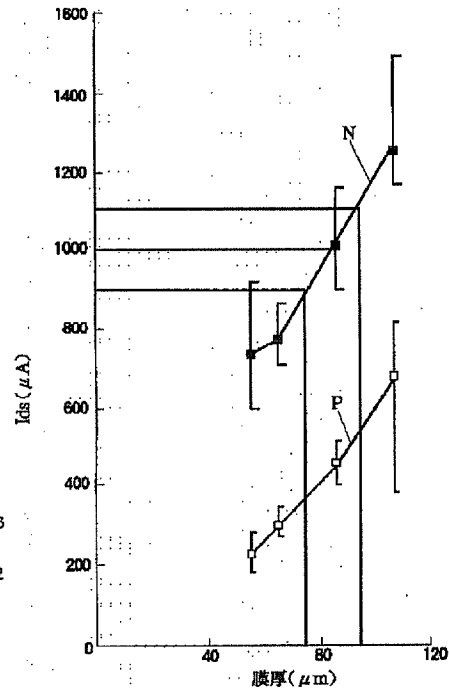
【図 9】



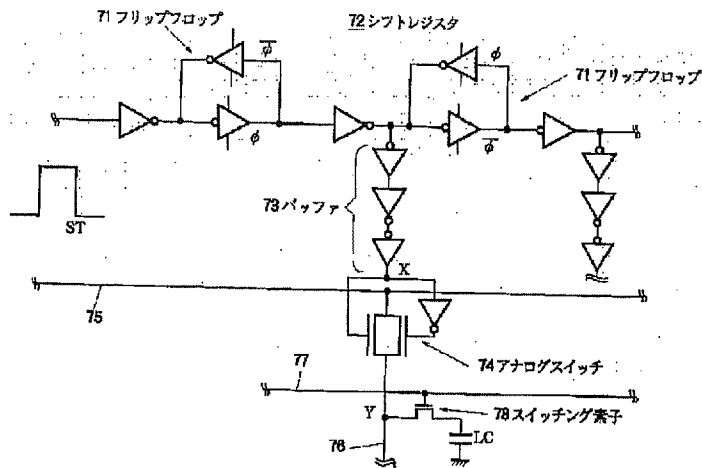
【図5】



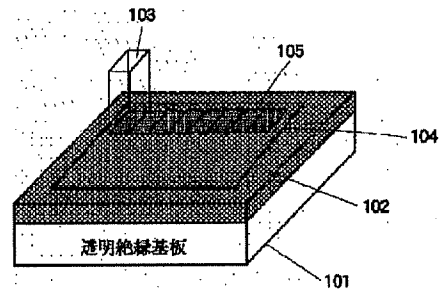
【図6】



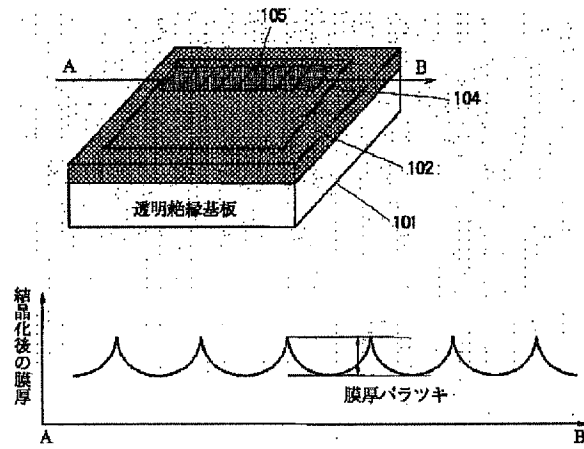
【図8】



【図10】



【図 1 1】



フロントページの続き

(51) Int. Cl.⁶
H 0 1 L 21/268
27/12

識別記号 庁内整理番号
B
R

F I

技術表示箇所